

(19) Japanese Patent Office (JP)  
 (12) Public Patent Disclosure Bulletin (A)  
 (11) Public Patent Disclosure (Kokai) Number: (S)57-210495  
 (43) Unexamined Patent Application Date: December 24, 1982  
 (51) Int. Cl. <sup>3</sup> G11C 7/00 19/00  
 Identification Symbols:  
 Internal File Numbers: 6549-5B 7343-5B  
 Number of Inventions: 1  
 Examination Requests: None  
 (Total of 8 Pages)  
 (54) Block Access Memory  
 (21) Application Number: (S)56-88987  
 (22) Application Date: June 10, 1981  
 (72) Inventor: Yasaburo Inagaki  
 c/o NEC Corp., 5-33-1 Shiba, Minato-ku, Tokyo, Japan  
 (71) Applicant: NEC Corp., 5-33-1 Shiba, Minato-ku, Tokyo, Japan  
 (74) Representative: Patent Attorney Susumu Uchihara

#### SPECIFICATION

##### 1. Title of the Invention:

Block Access Memory.

##### 2. What is Claimed is:

1. A block access memory comprising:  
 memory cells arranged in a matrix;  
 a read circuit that reads signals from said memory cells;  
 an address buffer that latches an address signal;  
 a row decoder and column decoder that select arbitrary said memory cells using said address  
 signal;  
 a data input buffer that latches said signals and supplies data to said memory cells;  
 a shift register that uses said read circuit to perform parallel reading of signals so as to  
 continuously read data, or that reads an external signal to perform parallel reading of data into said memory  
 cells;  
 a data output buffer that amplifies and outputs the signals from said selected memory cells; and

an internal timing generator circuit that controls said memory cells, read circuit, row and column decoders, data input buffer, shift register, and data output buffer; wherein:

said shift register performs data input or output every half-cycle based on an external clock.

2. The block access memory according to claim 1, wherein said shift register is formed of two circuits in parallel that are connected so as to be driven offset by a half-cycle from each other.

3. The block access memory according to claim 1, wherein said I/O shift register, said data input buffer, and said data output buffer are each formed of two circuits in parallel and are connected so as to be driven offset by a half-cycle from each other.

### 3. Detailed Description of the Invention:

The present invention relates to block access memory.

Conventionally, MOS RAM has been the main choice for main memory devices in computers, but the read/write cycle of MOS RAM is several times that of the computer's machine cycle. Therefore, in order to use the computer's machine cycle effectively, methods are employed to increase the data transfer rate by arranging MOS RAM in parallel for a required bit width. However, when high density MOS RAM is used, the word size becomes larger and the smallest unit of such a main memory device becomes much larger. For example, if 256-Kbit MOS RAM is arranged with a 256-bit width, the smallest unit of such a main memory device is 8 Mbytes. Two methods may be considered for avoiding this. One method is to increase the MOS RAM bit width (a multi-bit structure) to increase the data transfer rate. This method increases the number of pins and the packaging size, which makes it impossible to increase the integration on a board. The other method is to make the circuit operate at a higher speed in order to increase the data transfer rate, and so the demand is increasing to have higher speeds even for MOS RAM.

Conventionally, page mode has been presented as a method for increasing the data transfer rate, but the data transfer rate is not that high. The provision of a shift register in the I/O portion has been presented as another method for achieving a high data transfer rate.

Figure 1 is a block diagram of an example of MOS RAM including a shift register in a conventional I/O portion.

This example contains memory cells [10] arranged in a matrix, a read circuit [20] that reads cell signals, an address buffer [30] that latches an address signal that indicates a memory location and generates main and supplementary address signals, a row decoder [40] and column decoder [41] that select an arbitrary memory cell based on the address signals, a data input buffer [50] that latches memory data and generates main and supplementary data signals, a data output buffer [60] that amplifies and outputs cell signals, a shift register [70] that transfers signals at high speed, and an internal timing generator circuit (not shown) that drives these various circuits.

Figure 2 is a waveform diagram of the signals for the various portions when the MOS RAM of Figure 1 is operating.

On the first clock [CE] the address signal is latched in the address buffer [30]. Based on this address signal, one word line is selected by the row decoder [40], and the signals of the memory cells connected to the word line are read by the read circuit [20]. At the same time, based on the address signal, multiple bit lines are selected by the column decoder [41] (in the following discussion the case of 4 bits will be used), and their memory cell signals are simultaneously transferred to the shift register [70].

Next, based on I/O shift register drive clocks  $\phi_1$  and  $\phi_2$  that are synchronized by an external clock  $\phi$ , the memory cell signals from the shift register [70] are amplified by the data output buffer [60] and four bits are consecutively output. In this conventional example, one bit is output for each cycle of the clock  $\phi$ , so the operating speed is limited by the cycle speed. At the present time one cycle takes about 100 ns, so the problem is that it is difficult to attain higher speeds than this.

In order to overcome this problem, the present invention presents block access memory that transfers data with a speed that is twice the conventional speed, by performing I/O of data on every half-cycle of the external clock that drives the I/O shift register.

The block access memory of the present invention comprises: memory cells arranged in a matrix; a read circuit that reads signals from the memory cells; an address buffer that latches an address signal; a row decoder and column decoder that select arbitrary memory cells using this address signal; a data input buffer that latches these signals and supplies data to the memory cells; an I/O shift register that uses the read circuit to perform parallel reading of signals so as to continuously read data, or that reads an external signal to perform parallel reading of data into the memory cells; a data output buffer that amplifies and outputs the signals from the selected memory cells; and an internal timing generator circuit that controls the memory cells, read circuit, row and column decoders, data input buffer, I/O shift register, and data output buffer; wherein: the I/O shift register performs data input or output every half-cycle based on an external clock.

The block access memory of the present invention may also form the I/O shift register of two circuits in parallel that are connected so as to be driven offset by a half-cycle from each other.

The block access memory of the present invention ~~forms~~ [corrected to: *may also form*] each of the I/O shift register, data input buffer, and data output buffer of two circuits in parallel, which are connected so as to be driven offset by a half-cycle from each other.

We use figures to describe embodiments of the present invention.

Figure 3 is a block diagram of a first embodiment of the present invention.

This embodiment uses one circuit for the shift register and uses the shift register for switching, so that data that comes out to the I/O buses is sent to the data output buffer, while data that comes in to the data input buffer is sent to the memory circuit through the I/O buses. The I/O buses I/O<sub>1</sub> through I/O<sub>4</sub> of the memory circuit are connected to the data input buffer [50] and data output buffer [60] through control transistors T<sub>1</sub> through T<sub>4</sub>. The gates of the control transistors T<sub>1</sub> through T<sub>4</sub> are connected to the outputs

$\phi_{31}$  through  $\phi_{34}$  of the corresponding stages of the shift register [70]. Each of the four squares drawn with solid lines within the shift register [70] represents one bit.

Figure 4 is a waveform diagram of the signals for the various portions when the first embodiment of Figure 3 is operating.

The rise and fall of the external clock  $\phi$  are detected, and clocks  $\phi_1$  and  $\phi_2$  are generated. Clocks  $\phi_1$  and  $\phi_2$  drive shift pulses of the shift register. Also, clock  $\phi_2$  controls the outputs  $\phi_{31}$  through  $\phi_{34}$  of the shift register, while activating the data input buffer or data output buffer. The shift register is reset by a reset pulse  $\phi_R$ . This is the same as the conventional example up to the sending of the memory cell signal to the I/O buses by the column decoder [41]. After that, clocks  $\phi_1$  and  $\phi_2$  are generated on the rise of clock  $\phi$ , the output  $\phi_{31}$  of the first stage of the shift register is set to high, and the  $I/O_1$  signal passes through control transistor  $T_1$  to the data output buffer, where it is amplified and output. Next, clocks  $\phi_1$  and  $\phi_2$  are generated on the fall of clock  $\phi$ , the output  $\phi_{32}$  of the second stage of the shift register is set to high, and the  $I/O_2$  signal passes through control transistor  $T_2$  to the data output buffer, where it is output. Similarly after this,  $\phi_{33}$  and  $\phi_{34}$  are set to high level on the rise and fall of clock  $\phi$ , and the  $I/O_3$  and  $I/O_4$  signals are sequentially output. In this way, since one bit is output on each half-cycle, the operating speed is twice that of the conventional speed.

Figure 5 is a block diagram of a second embodiment of the present invention.

This embodiment uses one circuit for the shift register, and the data that is to be input or output to the I/O buses is read or written after being temporarily stored in the shift register. The I/O buses  $I/O_1$  through  $I/O_4$  of the memory circuit are connected to the corresponding stages of the shift register [70] through control transistors  $T_1$  through  $T_4$ , the input of the shift register is connected to the data input buffer [50], and the output is connected to the data output buffer [60].

Figure 6 is a waveform diagram of the signals for the various portions when the second embodiment of Figure 5 is operating.

As in the embodiment of Figure 3, the rise and fall of an external clock  $\phi$  are detected, and clocks  $\phi_1$  and  $\phi_2$  are generated. Clocks  $\phi_1$  and  $\phi_2$  cause the data in the shift register to shift. And, clock  $\phi_2$  activates the data input buffer or data output buffer. This is the same as the conventional example up to the sending of the memory cell signal to the I/O buses by the column decoder [41]. After that, based on clock  $\phi_{DL}$ , signals  $I/O_1$  through  $I/O_4$  are sent all at once via the control transistors  $T_1$  through  $T_4$  to the corresponding stages of the shift register. Then, clocks  $\phi_1$  and  $\phi_2$  are generated on the rise of clock  $\phi$  and the  $I/O_1$  signal is sent to the data output buffer, where it is amplified and output. Next, clocks  $\phi_1$  and  $\phi_2$  are generated on the fall of clock  $\phi$  and the  $I/O_2$  signal is sent to the data output buffer, where it is output. Similarly after this, the  $I/O_3$  and  $I/O_4$  signals are output on the rise and fall of clock  $\phi$ . In this way, since one bit can be output on each half-cycle, the operating speed can be doubled.

Figure 7 is a block diagram of a third embodiment of the present invention.

This embodiment uses two circuits in parallel for the shift register, connected so as to be driven offset by a half-cycle from each other. The I/O buses I/O<sub>1</sub> and I/O<sub>3</sub> of the memory circuit are connected to the data input buffer [50] and data output buffer [60] through the control transistors T<sub>1</sub> and T<sub>3</sub>, while the I/O buses I/O<sub>2</sub> and I/O<sub>4</sub> are connected to the data input buffer [50] and data output buffer [60] through the control transistors T<sub>2</sub> and T<sub>4</sub>. The gates of the control transistors T<sub>1</sub> and T<sub>3</sub> are connected to the corresponding outputs  $\phi_{31}$  and  $\phi_{33}$  of the first shift register [70], while the gates of the control transistors T<sub>2</sub> and T<sub>4</sub> are connected to the corresponding outputs  $\phi_{32}$  and  $\phi_{34}$  of the second shift register [71].

Figure 8 is a waveform diagram of the signals for the various portions when the third embodiment of Figure 7 is operating.

Clock  $\phi_1$  is generated synchronously with the external clock  $\phi$ . Clock  $\phi_2$  is a waveform that is a half-cycle later than  $\phi_1$ . The first and second shift registers [70] and [71] operate on shift pulses according to clocks  $\phi_1$  and  $\phi_2$ , but the second shift register [71] operates a half-cycle later than the first shift register [70]. At the same time, the data input buffer [50] or data output buffer [60] is activated by clock  $\phi$ . The first and second shift registers [70] and [71] are reset by the reset pulse  $\phi_R$ . This is the same as the conventional example up to the sending of the memory cell signal to the I/O buses by the column decoder [41]. Then, clock  $\phi_1$  is generated on the rise of clock  $\phi$ , the output  $\phi_{31}$  of the first stage of the first shift register [70] is set to high, and the I/O<sub>1</sub> signal passes through control transistor T<sub>1</sub> to the data output buffer [60], where it is amplified and output. Next, clock  $\phi_2$  is generated on the fall of clock  $\phi$ , the output  $\phi_{32}$  of the first stage of the second shift register [71] is set to high, and the I/O<sub>2</sub> signal passes through control transistor T<sub>2</sub> to the data output buffer [60], where it is output. Similarly after this, output  $\phi_{33}$  of the first register and output  $\phi_{34}$  of the second shift register are set to high level on the rise and fall of clock  $\phi$ , and the corresponding I/O<sub>3</sub> and I/O<sub>4</sub> signals are output from the data output buffer [60]. In this way, since one bit can be output on each half-cycle, the operating speed can be doubled.

Figure 9 is a block diagram of a fourth embodiment of the present invention.

This embodiment uses two circuits for each of the shift register, data input buffer, and data output buffer. The I/O buses I/O<sub>1</sub> and I/O<sub>3</sub> of the memory circuit are connected to the corresponding stages of the first shift register [70] through the control transistors T<sub>1</sub> and T<sub>3</sub>, while the I/O buses I/O<sub>2</sub> and I/O<sub>4</sub> are connected to the corresponding stages of the second shift register [71] through the control transistors T<sub>2</sub> and T<sub>4</sub>. The input of the first shift register [70] is connected to the first data input buffer [50], while its output is connected to the first data output buffer [60], and the input of the second shift register [71] is connected to the second data input buffer [51], while its output is connected to the second data output buffer [61].

Figure 10 is a waveform diagram of the signals for the various portions when the fourth embodiment of Figure 9 is operating.

As in the third embodiment, clock  $\phi_1$  is generated synchronously with the external clock  $\phi$ . Clock  $\phi_2$  is a waveform that is a half-cycle later than  $\phi_1$ . The first and second shift registers [70] and [71] shift data according to clocks  $\phi_1$  and  $\phi_2$ , but the second shift register [71] operates a half-cycle later than the first shift

register [70]. At the same time, the first data input buffer [50] or first data output buffer [60] is activated by clock  $\phi_1$ , while the second data input buffer [51] or second data output buffer [61] is activated by clock  $\phi_2$ . This is the same as the conventional example up to the sending of the memory cell signal to the I/O buses by the column decoder [41]. After that, based on clock  $\phi_{DL}$ , the I/O<sub>1</sub> and I/O<sub>3</sub> signals are sent to the corresponding stages of the first shift register [70] through control transistors T<sub>1</sub> and T<sub>3</sub>, while the I/O<sub>2</sub> and I/O<sub>4</sub> signals are sent to the corresponding stages of the second shift register [71] through control transistors T<sub>2</sub> and T<sub>4</sub>. Next, clock  $\phi_1$  is generated on the rise of clock  $\phi$  and the I/O<sub>1</sub> signal is sent from the first shift register [70] to the first data output buffer [60], where it is amplified and output. Next, clock  $\phi_2$  is generated on the fall of clock  $\phi$  and the I/O<sub>2</sub> signal is sent from the second shift register [71] to the second data output buffer [61], where it is output. Similarly after this, the I/O<sub>3</sub> and I/O<sub>4</sub> signals are output on the rise and fall of clock  $\phi$  from the first data output buffer [60] and second data output buffer [61], respectively.

As explained above, the present invention can increase the data transfer rate by producing output on each half-clock of an external clock  $\phi$ .

The data input buffer and data output buffer of the block access memory of the present invention may also be formed of dynamic circuits, but it is possible to achieve higher speeds if they are formed of static circuits. Also, the operation of the above embodiments was explained by using a clock to drive the shift register, but for a MOS RAM that uses general address multiplexing it is possible to use a  $\overline{\text{CAS}}$  clock instead of a clock  $\phi$ .

As explained above, the present invention is a block access memory that can operate at twice the conventional speed in order to improve the data transfer rate, so its effect is large.

#### 4. Brief Explanation of the Drawings

Figure 1 is a block diagram of an example of MOS RAM comprising a shift register in a conventional I/O portion, Figure 2 is a waveform diagram of the signals for the various portions when the MOS RAM of Figure 1 is operating, Figure 3 is a block diagram of a first embodiment of the present invention, Figure 4 is a waveform diagram of the signals for the various portions when the first embodiment of Figure 3 is operating, Figure 5 is a block diagram of a second embodiment of the present invention, Figure 6 is a waveform diagram of the signals for the various portions when the second embodiment of Figure 5 is operating, Figure 7 is a block diagram of a third embodiment of the present invention, Figure 8 is a waveform diagram of the signals for the various portions when the third embodiment of Figure 7 is operating, Figure 9 is a block diagram of a fourth embodiment of the present invention, and Figure 10 is a waveform diagram of the signals for the various portions when the fourth embodiment of Figure 9 is operating.

10: memory cells; 20: read circuit; 30: address buffer; 40: column decoder; 50, 51: data input buffers; 60, 61: data output buffers; 70, 71: shift registers; T<sub>1</sub> through T<sub>4</sub>: control transistors.

Representative: Patent Attorney Susumu Uchihara [scal]

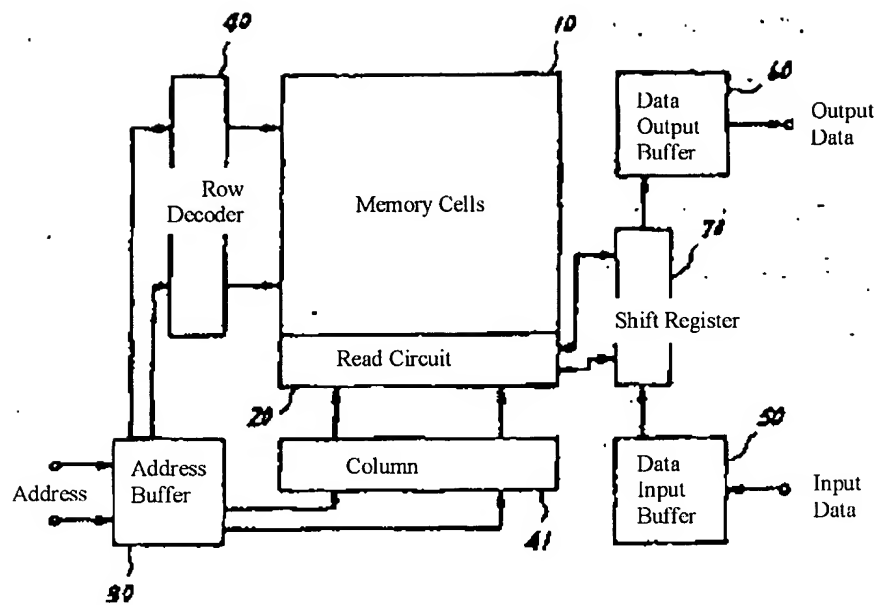


Figure 1

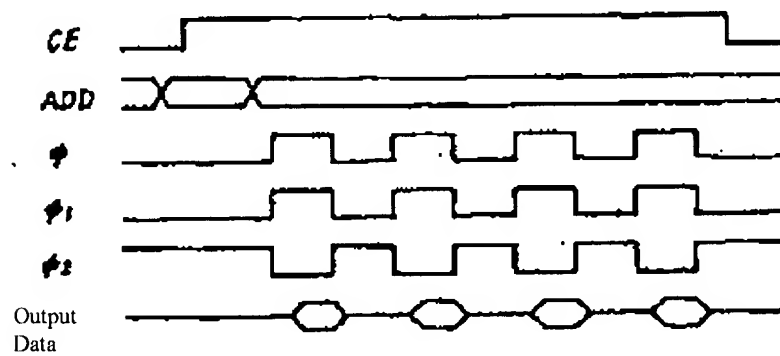


Figure 2





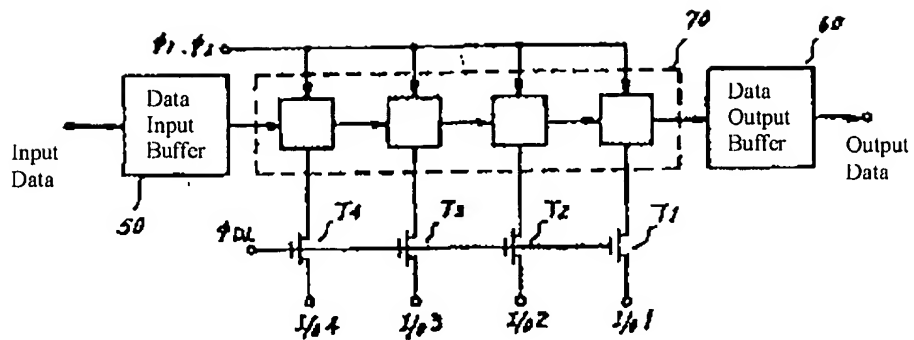


Figure 5

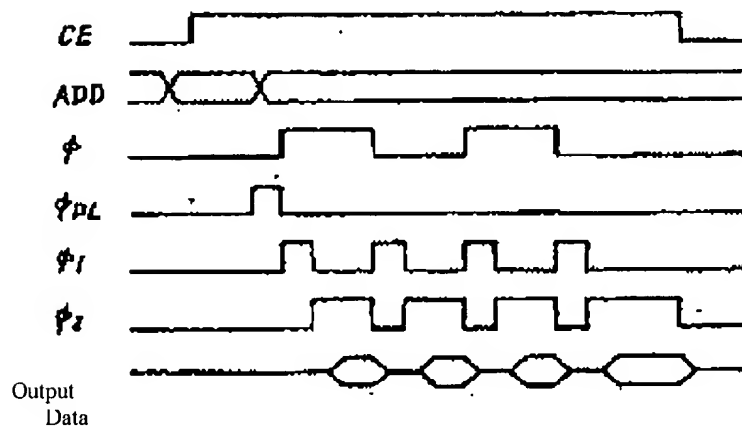


Figure 6

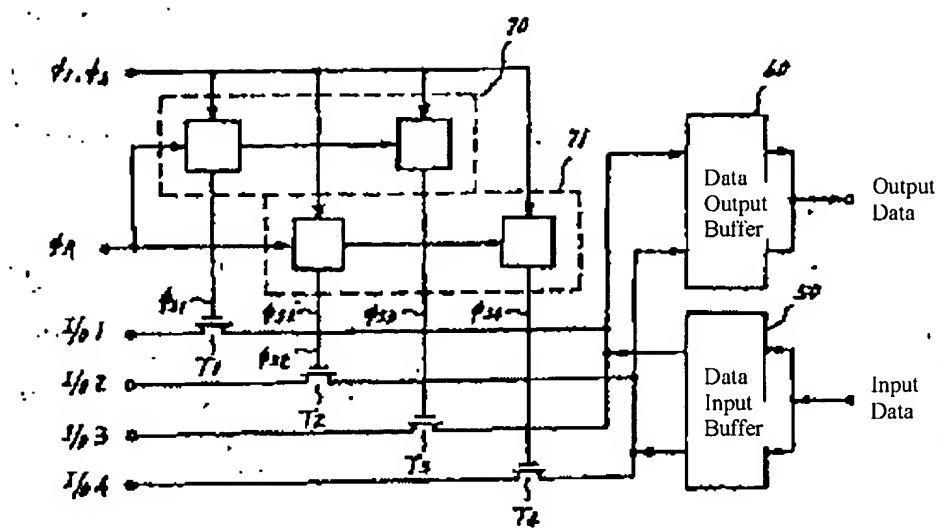


Figure 7

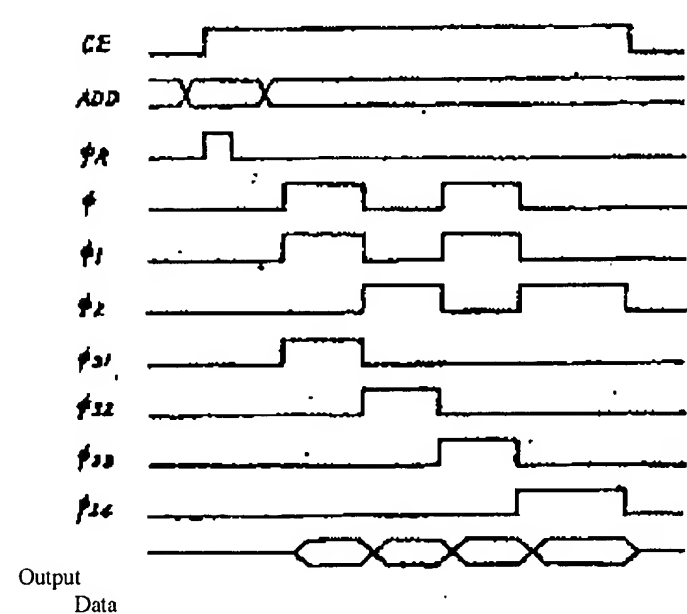


Figure 8

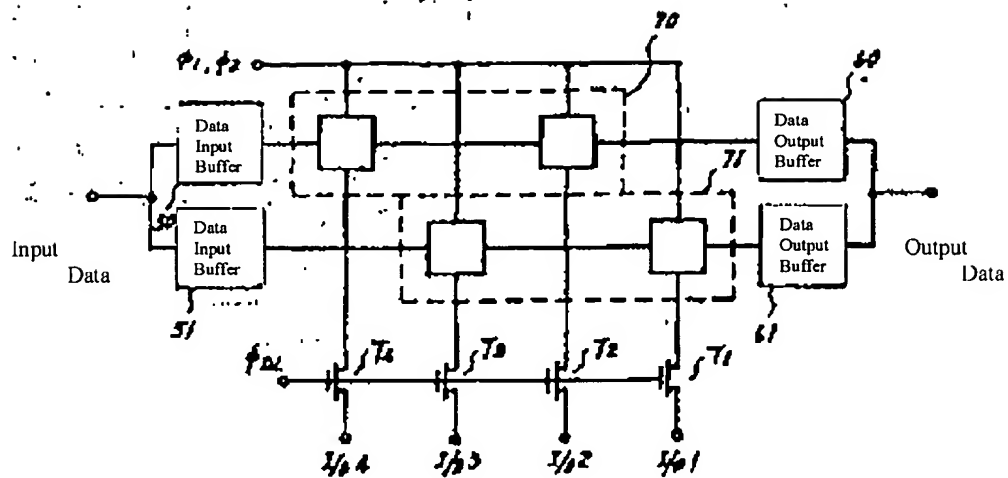


Figure 9

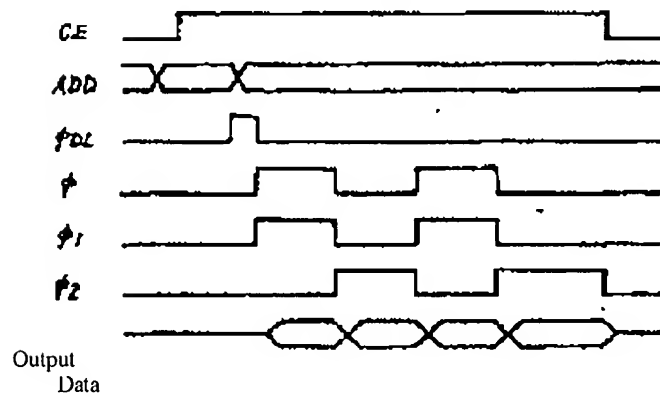


Figure 10

AMENDMENT (VOLUNTARY)

July 28, 1982

Japanese Patent Office Director, Mr.

1. Case Identification: Patent Application Number (S)56-88987 [1981]
2. Title of the Invention: Block Access Memory
3. Person Filing Amendment:  
Relationship to Case: Applicant  
(423) NEC Corp., 5-33-1 Shiba, Minato-ku, Tokyo, Japan  
Representative: Tadahiro Sekimoto
4. Representative:  
  
(6591) Patent Attorney Susumu Uchihara [seal]  
c/o NEC Corp., Sumitomo Mita Building  
5-33-8 Shiba, Minato-ku, Tokyo, Japan 108  
Tel.: Tokyo (03) 456-3111 (main representative)  
(contact: NED Corp., Patent Department)
5. Parts Amended:
  - (1) Specification; What is Claimed is
  - (2) Specification; Detailed Description of the Invention
  - (3) Figures
6. Content of the Amendment:
  - 6.1 What is Claimed is  
See the next page.
  - 6.2 Detailed Description of the Invention
    - (1) Page 2, Line 9 [This should say "Page 3 Line 9", to refer to the middle of the first paragraph of the detailed description -- translator.]  
[Fixed a grammatical error in the phrase "the smallest unit ... becomes much larger" -- the meaning was unchanged -- translator.]
    - (2) Page 7, Line 19 [This refers to the first of the two occurrences of this phrase in the paragraph describing Figure 3 -- translator.]  
Change "memory circuit" to "memory cells".
    - (3) Page 11, Lines 7-11 [This refers to the paragraph describing Figure 7 -- translator.]  
Change "connected to the data input buffer [50] and data output buffer [60] through ..., while the I/O buses I/O<sub>2</sub> and I/O<sub>4</sub> of the memory circuit are connected to the data input buffer [50] and data output buffer [60]" to "connected to the first data input buffer [50] and first data

output buffer [60] through ..., while the I/O buses I/O<sub>2</sub> and I/O<sub>4</sub> of the memory circuit are connected to the second data input buffer [51] and second data output buffer [61]”.

- (4) Page 12, Lines 5-6 [This refers to the paragraph describing Figure 8 -- translator.]

Change “At the same time, the data input buffer [50] or data output buffer [60] is activated by clock  $\phi$ .” to “At the same time, the first data input buffer [50] or first data output buffer [60] is activated by clock  $\phi_1$ , while the second data input buffer [51] or second data output buffer [61] is activated by clock  $\phi_2$ .”.

- (5) Page 12, Line 13 [Same paragraph -- translator.]

Change “through ... T<sub>1</sub> to the da...” to “through ... T<sub>1</sub> to the first da...”.

- (6) Page 12, Lines 18-19 [Same paragraph -- translator.]

Change “through ... to the data output buffer [60], where it is output.” to “through ... to the second data output buffer [61], where it is output.”.

- (7) Page 13, Line 3 [Same paragraph -- translator.]

Change “output from the data output buffer [60].” to “output from the first data output buffer [60] and the second output data buffer [61].”.

### 6.3 Figures

Correct Figure 7 as shown on the next page.

## 2. What is Claimed is:

1. A block access memory comprising:
  - memory cells arranged in a matrix;
  - a read circuit that reads signals from said memory cells;
  - an address buffer that latches an address signal;
  - a row decoder and column decoder that select arbitrary said memory cells using said address signal;
  - a data input buffer that latches said signals and supplies data to said memory cells;
  - a shift register that uses said read circuit to perform parallel reading of signals so as to continuously read data, or that reads an external signal to perform parallel writing of data into said memory cells;
  - a data output buffer that amplifies and outputs the signals from said selected memory cells; and
  - an internal timing generator circuit that controls said memory cells, read circuit, row and column decoders, data input buffer, shift register, and data output buffer; wherein:
    - said shift register performs data input or output every half-cycle based on an external clock.

2. The block access memory according to claim 1, wherein said shift register is formed of two circuits in parallel that are connected so as to be driven offset by a half-cycle from each other.

3. The block access memory according to claim 1, wherein said I/O shift register, said data input buffer, and said data output buffer are each formed of two circuits in parallel and are connected so as to be driven offset by a half-cycle from each other.

[The underlined word is the only change. -- translator.]

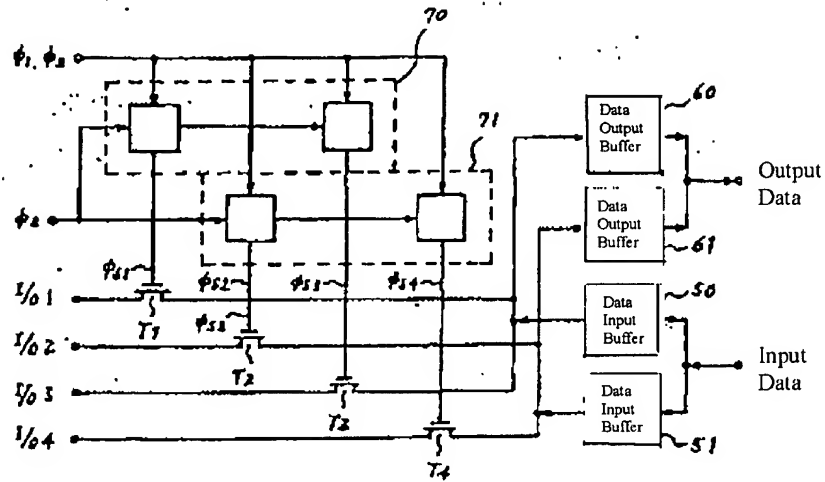


Figure 7

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭57-210495

⑫ Int. Cl.<sup>3</sup>

G 11 C 7/00  
19/00

識別記号

庁内整理番号

6549-5B  
7343-5B

⑬ 公開 昭和57年(1982)12月24日

発明の数 1  
審査請求 未請求

(全 8 頁)

⑭ ブロックアクセスメモリ

東京都港区芝五丁目33番1号日

本電気株式会社内

⑮ 特 願 昭56-88987

⑯ 出 願 人 日本電気株式会社

⑰ 出 願 昭56(1981)6月10日

東京都港区芝5丁目33番1号

⑱ 発 明 者 稲垣弥三郎

⑲ 代 理 人 弁理士 内原晋

# 明 細 書

## 1. 発明の名称

ブロックアクセスメモリ

## 2. 特許請求の範囲

(1) マトリックス状に配置されたメモリセルと、前記メモリセルの信号を再生する再生回路と、アドレス信号をラップするアドレスバッファと、前記アドレス信号で任意の前記メモリセルを選択する列デコーダ及び行デコーダと、記憶信号をラップし、前記メモリセルにデータを供給するデータインバッファと、前記再生回路で再生された信号を並列に読み込み逐次してデータを読出した後外部信号を読み込み並列にデータを前記メモリセルに読み込むシフトレジスタと、前記選択されたメモリセルからの信号を増幅して出力するデータアウトバッファと、前記メモリセル、再生回路、列及び行デコーダ、データインバッファ、シフトレジスタ、データアウトバッファ

を制御する内部タイミング発生回路とを含むブロックアクセスメモリにおいて、前記シフトレジスタとして外部クロックにより半周期毎にデータを入、出力するシフトレジスタを用いたことを特徴とするブロックアクセスメモリ。

(2) 前記シフトレジスタとして2回路並列に設けられ、互いに半周期ずらして駆動するように接続されているシフトレジスタを用いたことを特徴とする特許請求の範囲第(1)項記載のブロックアクセスメモリ。

(3) 前記シフトレジスタと前記データインバッファと前記データアウトバッファとしてそれぞれ2回路ずつ並列に設け、互いに半周期ずらして駆動するように接続した入出力シフトレジスタ、データインバッファ、データアウトバッファを用いたことを特徴とする特許請求の範囲第(1)項記載のブロックアクセスメモリ。

## 3. 発明の詳細な説明

本発明はブロックアクセスメモリに関する。



従来、MOS・RAMは主としてコンピュータの主記憶装置に用いられているが、MOS・RAMの読出／書込サイクルはコンピュータのマシンサイクルの数倍であり、コンピュータのマシンサイクルを有効に使用するため、必要ビット幅分だけMOS・RAMを並列に配置して、データ転送レートを増大させる手法を用いている。しかし高密度MOS・RAMを使用するとワード幅が大きくなり、主記憶装置の最小単位増しく大きくなってしまふ。たとえば256キロビットMOS・RAMを256ビット幅分だけ配置すると、主記憶装置の最小単位は8メガバイトになる。これを避ける方法として3つの方法が考えられる。1つの方法はMOS・RAMのビット幅を大きく（つまり多ビット構成に）してデータ転送レートを増大させる方法である。この方法では増子数が増え、パッケージ寸法が大きくなるので、ボード上での集積度の向上が実現出来なくなる。他の方法は回路を高速に動作させ、データ転送レートを増大させることであり、MOS・RAMでも高速動作の要求が高

特開57-210495 (2)

まっている。

従来、データ転送レートを向上させる方法としてページモードが提供されているが、データ転送レートはあまり大きくない。又他の方法として入出力部にシフトレジスタを配置し、高速なデータ転送を実現する方法が提案されている。

第1図は従来の入出力部にシフトレジスタを備えたMOS・RAMの一例のブロック図である。

マトリクス状に配置されたメモリセル10、セル信号を再生する再生回路20、メモリ位置を示すアドレス信号をラッチし、真、補アドレス信号を発生するアドレスバッファ30、アドレス信号に従って任意のメモリセルを選択する列デコード40及び行デコード41、記憶データをラッチし、真、補データ信号を発生するデータインバッファ50、セル信号を増幅して出力するデータアウトバッファ60、信号を高速に転送するシフトレジスタ70、上記回路を駆動する内部タイミグ発生回路（図示せず）で構成されている。

第2図は第1図に示すMOS・RAMを動作さ

せたときの各部における信号の波形状である。

最初クロックでアドレス信号をアドレスバッファ30でラッチし、アドレス信号に従って列デコード40で1本のワード線を選択し、ワード線につながるメモリセルの信号を再生回路20で再生する。一方、アドレス信号に従って行デコード41で複数本（以下の説明では4ビットの場合について行なう）のビット線を選択し、メモリセル信号をシフトレジスタ70へ一度に転送する。

次に、外部クロックに同期した入出力シフトレジスタ駆動クロックでシフトレジスタ70からメモリセル信号をデータアウトバッファ60で増幅して4ビット連続して読出す。上記の従来例ではクロックの1サイクルで1ビットの読出しを行っており、動作速度がサイクル数で制約される。現状では1サイクルは100ns程度でありそれより高速にすることは困難であるという欠点があった。

本発明は上記欠点を除去し、入出力シフトレジスタを駆動する外部クロックの半周期毎にデータ

を入、出力することにより従来の2倍の速度でデータを転送するブロックアクセスメモリを提供するものである。

本発明のブロックアクセスメモリは、マトリクス状に配置されたメモリセルと、前記メモリセルの信号を再生する回路と、アドレス信号をラッチするアドレスバッファと、前記アドレス信号で任意の前記メモリを選択する列デコード及び行デコードと、記憶信号をラッチし、前記メモリセルにデータを供給するデータインバッファと、前記再生回路で再生された信号を並列に読込み連続してデータを読出した後外部信号を読込み並列にデータを前記メモリセルに読込む入出力シフトレジスタと、前記選択されたメモリセルからの信号を増幅して出力するデータアウトバッファと、前記メモリセル、再生回路、列及び行デコード、データインバッファ、入出力シフトレジスタ、データアウトバッファを制御する内部タイミグ発生回路とを含むブロックアクセスメモリにおいて、前記入出力シフトレジスタとして外部クロックによ

り半周期毎にデータを入出力する入出力シフトレジスタを用いることにより構成される。

本発明のブロックアクセスメモリは、前記入出力シフトレジスタを2回路並列に設け、互いに半周期ずらして駆動するように接続することによっても構成できる。

本発明のブロックアクセスメモリは、前記入出力シフトレジスタデータインバッファ、前記データアウトバッファをそれぞれ並列に設け、互いに半周期ずらして駆動するように接続することにより構成される。

本発明の実施例について図面を用いて説明する。

第3図は本発明の第1の実施例のブロック図である。

この実施例は、シフトレジスタを1回路使用して、シフトレジスタによってスイッチを切換え、 $1/U$ バスに出てくるデータをデータアウトバッファに送ったり、データインバッファに入ってくるデータを $1/U$ バスを通してメモリ回路へ送る方式のものである。メモリ回路の $1/U$ バス $1/U_1 \sim 1/U_4$

は制御トランジスタ $T_1 \sim T_4$ を介してデータインバッファ50及びデータアウトバッファ60に接続されている。前記制御トランジスタ $T_1 \sim T_4$ のゲートはシフトレジスタ70の各段の出力 $\phi_{11} \sim \phi_{14}$ に接続されている。シフトレジスタ70の内部の突縁で囲んだ四角形は1ビット分を渡す。

第4図は第3図に示す第1の実施例を動作させるときの各部における信号の波形図である。外部クロック $\phi$ の立上り及び立下りを感知してクロック $\phi_{11}, \phi_{12}$ を発生させる。クロック $\phi_{11}, \phi_{12}$ はシフトレジスタのシフトパルスを移動させる。又クロック $\phi_{13}$ はシフトレジスタの出力 $\phi_{21} \sim \phi_{24}$ を制御すると同時にデータインバッファ、データアウトバッファを活性化する。シフトレジスタはリセットパルス $\phi_{25}$ でリセットしておく。行デコード41でメモリセル信号が $1/U$ バスへ転送されるまでは従来例と同じである。次にクロック $\phi$ の立上りでクロック $\phi_{11}, \phi_{12}$ を発生させ、シフトレジスタの1段目の出力 $\phi_{11}$ をハイレベルにし、 $1/U_1$ の信号を制御トランジスタ $T_1$ を通してデータ

アウトバッファへ送り、増幅して出力する。次にクロック $\phi$ の立下りでクロック $\phi_{11}, \phi_{12}$ を発生させ、シフトレジスタの2段目の出力 $\phi_{21}$ をハイレベルにし、 $1/U_2$ の信号を制御トランジスタ $T_2$ を通して送り、データアウトバッファから出力する。以下同様にしてクロック $\phi$ の立上り、立下りで $\phi_{11}, \phi_{12}$ をハイレベルにし、 $1/U_3, 1/U_4$ の信号を順次出力する。このように半サイクルで1ビットの読出しを行っているので動作速度は従来の2倍となる。

第5図は本発明の第2の実施例のブロック図である。この実施例はシフトレジスタを1回路使用し、 $1/U$ バスに入出力するデータを一旦シフトレジスタに取込んでから読出しまたは書き込みを行う方式のものである。メモリ回路の $1/U$ バス $1/U_1 \sim 1/U_4$ は制御トランジスタ $T_1 \sim T_4$ を介してシフトレジスタ70の各段に接続されており、シフトレジスタの入力はデータインバッファ50に接続され、出力はデータアウトバッファ60に接続されている。

第6図は第5図に示す第2の実施例を動作させる

たときの各部における信号の波形図である。

第3図に示す実施例と同様、外部クロック $\phi$ の立上り及び立下りを感知してクロック $\phi_{11}, \phi_{12}$ を発生させる。クロック $\phi_{11}, \phi_{12}$ はシフトレジスタのデータをシフトさせる。又、クロック $\phi_{13}$ はデータインバッファ、データアウトバッファを活性化する。行デコード41でメモリセル信号が $1/U$ バスへ転送されるまでは従来例と同じである。その後クロック $\phi_{11}$ で $1/U_1 \sim 1/U_4$ の信号を制御トランジスタ $T_1 \sim T_4$ を通してシフトレジスタの各段に一度に転送する。次に、クロック $\phi$ の立上りでクロック $\phi_{11}, \phi_{12}$ を発生させ、 $1/U_1$ の信号をデータアウトバッファへ送り、増幅して出力する。次に、クロック $\phi$ の立下りでクロック $\phi_{11}, \phi_{12}$ を発生させ、 $1/U_2$ の信号をデータアウトバッファから出力する。以下同様にしてクロック $\phi$ の立上り、立下りで $1/U_3, 1/U_4$ の信号を出力する。このようにしても半サイクル毎に1ビットの読出しを行うことができ、動作速度を2倍にする

ことができる。

第7図は本発明の第3の実施例のブロック図である。

この実施例はシフトレジスタを2回路並列に設け、互いに半周期ずらして駆動するように接続したものである。メモリ回路のI/Uバス1/01、1/03は制御トランジスタ $T_1$ 、 $T_2$ を介してデータインバッファ50、データアウトバッファ60に接続され、1/02、1/04は制御トランジスタ $T_3$ 、 $T_4$ を介してデータインバッファ50、データアウトバッファ60に接続されている。前記制御トランジスタ $T_1$ 、 $T_2$ のゲートは第1のシフトレジスタ70の各段の出力 $\phi_{11}$ 、 $\phi_{12}$ に制御トランジスタ $T_3$ 、 $T_4$ のゲートは第2のシフトレジスタ71の各段の出力 $\phi_{21}$ 、 $\phi_{22}$ にそれぞれ接続されている。

第8図は第7図に示す第3の実施例を動作させたときの各部における信号の波形状である。

クロック $\phi_1$ を外部クロック $\phi$ に同期して発生させる。クロック $\phi_2$ はクロック $\phi_1$ から半サイ

クル遅れた波形状である。第1、第2のシフトレジスタ70、71はクロック $\phi_1$ 、 $\phi_2$ でシフトバースを移動させるが、第2のシフトレジスタ71は第1のシフトレジスタ70より半サイクル遅れて動作する。一方、データインバッファ50、データアウトバッファ60はクロック $\phi$ で活性化される。第1、第2のシフトレジスタ70、71はリセットバース $\phi_{rs}$ でリセットしておく。行デコード41でメモリアル信号がI/Uバスへ転送されるまでは従来例と同じである。次に、クロック $\phi$ の立上りでクロック $\phi_1$ を発生させ、第1のシフトレジスタ70の1段目の出力 $\phi_{11}$ をハイレベルにし、1/01の信号を制御トランジスタ $T_1$ を通してデータアウトバッファ60へ送り、増幅して出力する。次に、クロック $\phi$ の立下りでクロック $\phi_2$ を発生させ、第2のシフトレジスタ71の1段目の出力 $\phi_{21}$ をハイレベルにし、1/02の信号を制御トランジスタ $T_3$ を通して送りデータアウトバッファ60から出力する。以下同様にしてクロック $\phi$ の立上り、立下りで第1のシフトレジスタ

の出力 $\phi_{12}$ 、第2のシフトレジスタ71の出力 $\phi_{22}$ をハイレベルにし、1/03、1/04の信号をそれぞれデータアウトバッファ60から出力する。このようにしても半サイクル毎に1ビットの読出しを行うことができ、動作速度を2倍にすることができる。

第9図は本発明の第4の実施例のブロック図である。

この実施例はシフトレジスタ、データインバッファ、データアウトバッファをそれぞれ2回路ずつ設けた例である。メモリ回路のI/Uバス1/01、1/03は制御トランジスタ $T_1$ 、 $T_2$ を介して第1のシフトレジスタ70の各段に接続されており、1/02、1/04は制御トランジスタ $T_3$ 、 $T_4$ を介して第2のシフトレジスタ71の各段に接続されている。第1のシフトレジスタ70の入力は第1のデータインバッファ50に接続され、出力は第1のデータアウトバッファ60に接続されており、第2のシフトレジスタ71の入力は第2のデータインバッファ51に接続され、出力は第2のデ

ータアウトバッファ61に接続されている。

第10図は第9図に示す第4の実施例を動作させたときの各部における信号の波形状である。第3の実施例と同様に、クロック $\phi_1$ を外部クロック $\phi$ に同期して発生させる。クロック $\phi_2$ はクロック $\phi_1$ から半サイクル遅れた波形状である。第1、第2のシフトレジスタ70、71はクロック $\phi_1$ 、 $\phi_2$ でデータをシフトさせるが、第2のシフトレジスタ71は第1のシフトレジスタ70より半サイクル遅れて動作する。一方、第1のデータインバッファ50、第1のデータアウトバッファ60はクロック $\phi_1$ で活性化され、第2のデータインバッファ51、第2のデータアウトバッファ61はクロック $\phi_2$ で活性化される。行デコード41でメモリアル信号がI/Uバスへ転送されるまでは従来例と同じである。その後クロック $\phi_{DL}$ で1/01、1/03の信号を制御トランジスタ $T_1$ 、 $T_2$ を通して第1のシフトレジスタ71の各段へ、1/02、1/04の信号を制御トランジスタ $T_3$ 、 $T_4$ を通して第2のシフトレジスタ71の各段へ

成に転送する。次に、クロックφの立上りでクロックφ<sub>1</sub>を発生させ、I/U1の信号を第1のシフトレジスタ70から第1のデータアウトバッファ60へ送り、増幅して出力する。次に、クロックφの立下りでクロックφ<sub>2</sub>を発生させ、I/U2の信号を第2のシフトレジスタ71から第2のデータアウトバッファ61を通して出力する。以下同様にしてクロックφの立上り、立下りでI/U3、I/U4の信号をそれぞれ第1のデータアウトバッファ60、第2のデータアウトバッファ61から出力する。

以上説明したように本発明では外部クロックφの半周期毎に出力を得ることが出来、データ転送レートを高めることが可能である。

本発明のブロックアクセスメモリのデータインバッファ、データアウトバッファはダイナミック回路で構成することも可能であるが、スタティック回路で構成すればより高速化を実現出来る。また、上記実施例では、シフトレジスタ駆動クロックφを用いて動作説明を行なったが、一般的なア

特開57-210495(5)

ドレスマルテプレックスを用いたMUS・RAMではクロックφの代りにCABクロックを使用することが可能である。

以上詳細に説明したように、本発明によれば、従来と比べ2倍の速度で動作し、データ転送レートを高めたブロックアクセスメモリが得られるのでその効果は大きい。

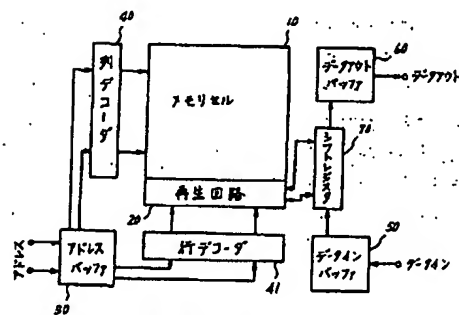
#### 4. 図面の簡単な説明

第1図は従来の入力部にシフトレジスタを備えたMUS・RAMの一例のブロック図、第2図は第1図に示すMUS・RAMを動作させたときの各部にかかる信号の波形図、第3図は本発明の第1の実施例のブロック図、第4図は第3図に示す第1の実施例を動作させたときの各部にかかる信号の波形図、第5図は本発明の第2の実施例のブロック図、第6図は第5図に示す第2の実施例を動作させたときの各部にかかる信号の波形図、第7図は本発明の第3の実施例のブロック図、第8図は第7図に示す第3の実施例を動作させたとき

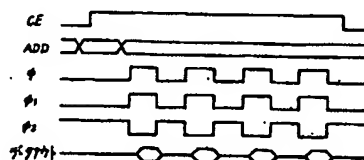
の各部にかかる信号の波形図、第9図は本発明の第4の実施例のブロック図、第10図は第9図に示す第4の実施例を動作させたときの各部にかかる信号の波形図である。

10……メモリセル、20……再生回路、30……アドレスバッファ、40……列デコーダ、41……行デコーダ、50、51……データインバッファ、60、61……データアウトバッファ、70、71……シフトレジスタ、T<sub>1</sub>～T<sub>4</sub>……制御クロック。

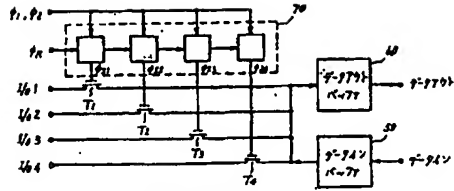
代理人 弁理士 内 原 謙 (印)



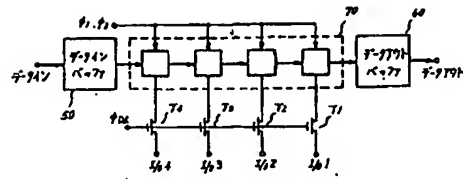
第1図



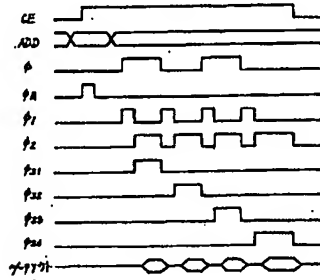
第2図



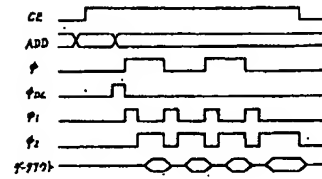
第 3 図



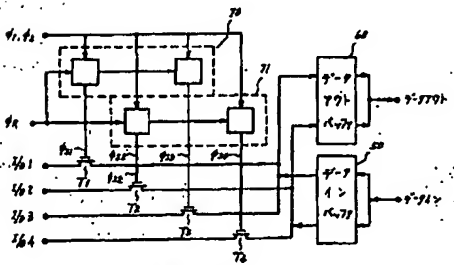
第 5 図



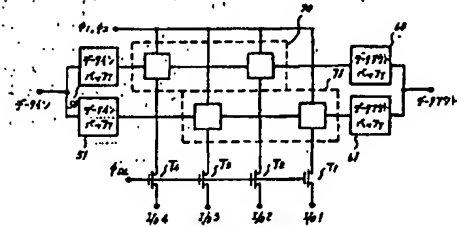
第 4 図



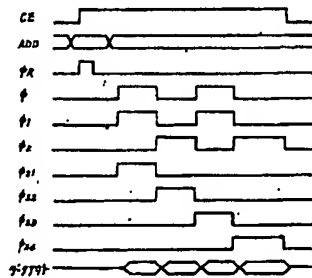
第 6 図



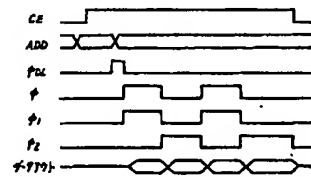
第 7 図



第 9 図



第 8 図



第 10 図

手続補正書(自発)

57.7.28  
昭和 年 月 日

特許庁長官 殿

1. 事件の表示 昭和56年 特許 願第88987号

2. 発明の名称 ブロックアクセスメモリ

3. 補正をする者

事件との関係 出願人  
東京都港区芝五丁目33番1号  
(423) 日本電気株式会社  
代表者 関本忠弘

4. 代理人

〒108 東京都港区芝五丁目37番5号 住友三田ビル  
日本電気株式会社内  
(6591) 弁護士 内原 晋  
電話 東京 (03)456-3111(大代表)  
(連絡先 日本電気株式会社 特許部)

特許人

特願57-210495 (フ)

5. 補正の対象

- (1) 明細書の特許請求の範囲の欄
- (2) 明細書の発明の詳細な説明の欄
- (3) 図面

6. 補正の内容

6.1 特許請求の範囲

別紙のとおり。

6.2 発明の詳細な説明

(1) 3頁9行

「……最小単位若しくは……」とあるのを

「……最小単位が若しくは……」と補正する。

(2) 7頁19行

「メモリ回路」とあるのを「メモリアル」  
と補正する。

(3) 11頁7行～11行

「……を介してデータインバッファ50、

データアウトバッファ60に接続され、I

/O<sub>2</sub>、I/O<sub>4</sub>は制御トランジスタT<sub>1</sub>、T<sub>4</sub>

を介してデータインバッファ50、データ

アウトバッファ60に接続」とあるのを……

……を介して第1のデータインバッファ50、

第1のデータアウトバッファ60に接続され、I/O<sub>2</sub>、I/O<sub>4</sub>は制御トランジスタ

T<sub>1</sub>、T<sub>4</sub>を介して第2のデータインバッファ

51、第2のデータアウトバッファ61

に接続……」と補正する。

(4) 12頁5行～6行

「……一方、データインバッファ50、

データアウトバッファ60はクロックφで

活性化される。」とあるのを「……一方、

第1のデータインバッファ50、第1のデ

ータアウトバッファ60はクロックφで

活性化され、第2のデータインバッファ

51、第2のデータアウトバッファ61は

クロックφで活性化される。」と補正す

る。

(5) 12頁13行

「……を通してデ」とあるのを「……を

通して第1のデ」と補正する。

(6) 12頁18行～19行

「……を通して送りデータアウトバッファ

60から出力する。」とあるのを「……

を通して送り第2データアウトバッファ61

から出力する。」と補正する。

(7) 13頁3行

「それぞれデータアウトバッファ60から

出力する。」とあるのを「それぞれ第1のデ

ータアウトバッファ60、第2のデータア

ウトバッファ61から出力する。」と補正

する。

6.3 図面

第7図を別紙のとおり補正する。

代理人 弁護士 内原 晋

弁理士  
内原 晋

【別 表】

特許請求の範囲

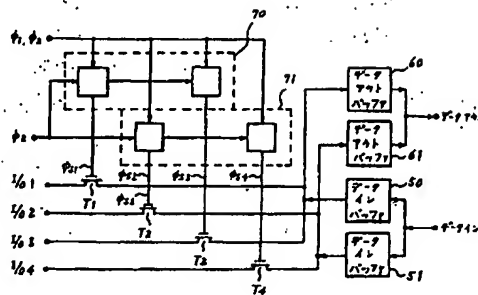
- (1) マトリックス状に配置されたメモリセルと、前記メモリセルの信号を再生する再生回路と、アドレス信号をラッチするアドレスバッファと、前記アドレス信号で任意の前記メモリセルを選択する列デコーダ及び行デコーダと、記憶番号をラッチし、前記メモリセルにデータを供給するデータインバッファと、前記再生回路で再生された信号を並列に読込み連続してデータを読出したり外部信号を読込み並列にデータを前記メモリセルに書き込むシフトレジスタと、前記選択されたメモリセルからの信号を増幅して出力するデータアウトバッファと、前記メモリセル、再生回路、列及び行デコーダ、データインバッファ、シフトレジスタ、データアウトバッファを制御する内部タイミング発生回路とを含むブロックアクセスメモリにおいて、前記シフトレジスタとして外部クロックにより半周期毎にデータを

特開57-210495 (B)

入、出力するシフトレジスタを用いたことを特徴とするブロックアクセスメモリ。

- (2) 前記シフトレジスタとして3回路並列に設けられ、互いに半周期ずらして駆動するように接続されているシフトレジスタを用いたことを特徴とする特許請求の範囲第(1)項記載のブロックアクセスメモリ。

- (3) 前記シフトレジスタと前記データインバッファと前記データアウトバッファとしてそれぞれ3回路ずつ並列に設け、互いに半周期ずらして駆動するように接続した入出力シフトレジスタ、データインバッファ、データアウトバッファを用いたことを特徴とする特許請求の範囲第(1)項記載のブロックアクセスメモリ。



第 7 図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**